

〔19〕日本国特許庁 (J P)

(12) 公 關 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-357891

(43) 公開日 平成4年(1992)12月10日

(51) Int.Cl.<sup>5</sup>

識別記号 廈内整理番号  
8728-4M

F. I.

技術表示箇所

審査請求 未請求 請求項の数 3(全 4 頁)

(21)出願番号 特願平3-132743

(22)出願日 平成3年(1991)6月4日

(71)出席人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 紫山 勝己

静岡県浜松市南野町1126番地の1

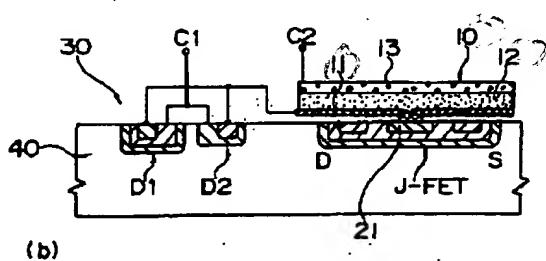
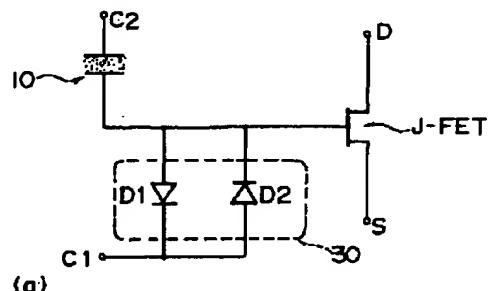
## トニクス株式会社内

(54) 【発明の名称】 赤外線検出装置

〔57〕【要約】

【目的】 焦電型赤外線検出装置のワンチップ化を図る。

〔構成〕 半導体基板と、この半導体基板に形成されたインピーダンス変換素子 (J-FET) と、このインピーダンス変換素子の制御電極 (ゲート) に第1の電極 (下側電極) が接続され、この第1の電極と対向するよう設けられた第2の電極 (上側電極) との間に焦電材料を介在させて形成された焦電素子と、前記半導体基板に形成されて前記第1の電極に逆並列に接続された少なくとも2個のダイオードとを備える。



1

## 【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板に形成されたインピーダンス変換素子と、このインピーダンス変換素子の制御電極に第1の電極が接続され、この第1の電極と対向するように設けられた第2の電極との間に焦電材料を介在させて形成された焦電素子と、前記半導体基板に形成されて前記第1の電極に逆並列に接続された少なくとも2個のダイオードとを備えることを特徴とする赤外線検出装置。

【請求項2】 前記半導体基板は裏面からエッチングされることにより一部が薄くされ、当該薄くされた部分の前記半導体基板上に前記焦電素子が延設されている請求項1記載の赤外線検出装置

【請求項3】 前記半導体基板には電流源回路が形成されて前記インピーダンス変換素子に接続されている請求項1記載の赤外線検出装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は焦電型の赤外線検出装置に関するものである。

## 【0002】

【従来の技術】 焦電型の赤外線センサとしては、従来から各種のものが知られ、例えば単結晶を利用したもの、セラミックスや有機材料を用いたものがある。従来の赤外線センサは、単体として製造されており、赤外線検出装置として構成するに際しては、センサ部と抵抗、FETなどをパッケージに収容していた。

## 【0003】

【発明が解決しようとする課題】 ところが、単体としての赤外線センサと抵抗、FETをワンパッケージに入れて赤外線検出装置を構成すると、高インピーダンスのセンサ部の出力信号を配線を介して取り出すことになるため、雑音特性が劣化してしまう。また、小型化にも限度があり、抵抗素子としては1GΩ程度の高抵抗のものが必要になる。

【0004】 そこで、このようなセンサ部、抵抗、インピーダンス変換用のFETなどを、ワンチップ化することが望まれる。しかし、焦電素子を赤外線検出用に機能させるためには、ポーリングと呼ばれる作業が必要になるので、上記のワンチップ化は容易でなかった。すなわち、ポーリング工程ではセンサ部に高電圧が印加されることになるが、ワンチップ化された状態でこれを実行すると、FETなどが破壊されてしまうからである。本発明は、かかる従来技術の有していた問題点を解決するためのものである。

## 【0005】

【課題を解決するための手段】 本発明に係る赤外線検出装置は、半導体基板と、この半導体基板に形成されたインピーダンス変換素子と、このインピーダンス変換素子の制御電極に第1の電極が接続され、この第1の電極と

対向するように設けられた第2の電極との間に焦電材料を介在させて形成された焦電素子と、半導体基板に形成されて第1の電極に逆並列に接続された少なくとも2個のダイオードとを備える。

## 【0006】

【作用】 本発明によれば、逆並列に接続されたダイオードを有しているので、ポーリング時の高電圧に対しては低抵抗として働き、従ってインピーダンス変換素子に過大な負荷を与えることなく焦電素子をポーリングでき、また、センサとしての使用時における低電圧に対しては高抵抗として動き、従って焦電素子の出力のインピーダンス変換を可能にする。

## 【0007】

【実施例】 以下、添付図面により本発明の実施例を説明する。

【0008】 図1は本発明の実施例の構成を示し、同図(a)は回路図、同図(b)は断面の概略図である。図示の通り、インピーダンス変換素子としての接合型FET (J-FET) のゲート21には、焦電素子10の下側電極11が接続され、かつ逆並列の関係となったダイオードD1、D2のアノード、カソードが接続される。この逆並列ダイオード回路30は、J-FETが形成された半導体基板40と同一の基板に形成されている。下側電極11上には例えば有機材料からなる焦電効果材料層12が堆積され、その上面に赤外線吸収性の材料からなる上側電極13が形成されて、上述の焦電素子10が構成される。

【0009】 上記の構成において、焦電効果材料層12をポーリングする際には、コモン電極C1、C2の間に高電圧が印加される。すると、逆並列ダイオード回路30にはダイオードD1、D2のレベルシフト電圧以上の電圧が印加されるので、等価的に低抵抗素子として、ポーリング電流を導通させる。このため焦電効果材料層12がポーリングされる一方で、J-FETのゲートに過大な電圧が印加されることはない。赤外線センサとしての使用時には、焦電素子10の焦電効果によって生じる電位差は低電圧であり、従って逆並列ダイオード回路30にはダイオードD1、D2のレベルシフト電圧以下の電圧が印加される。このため、逆並列ダイオード回路30は十分に高抵抗な素子として等価的に働くことになり、J-FETによるインピーダンス変換が好適になされる。

【0010】 次に、上記実施例の具体例を、図2により説明する。

【0011】 n型シリコン基板40上にはn型シリコン層41がエピタキシャル成長法により形成され、J-FETの形成領域はP型アイソレーション層42によって接合分離されている。そして、J-FET領域にはP型ゲート領域21、n型ソース領域22およびn型ドレイン領域23が形成されている。ダイオード領域には、P

3

型領域31が形成されて、この中にn型カソード領域32とp型アノード領域33が形成され、図示しないもう1個のダイオードと共に、逆並列ダイオード回路30が構成されている。

【0012】このような基板上には、S1O<sub>2</sub>からなる絶縁膜61が形成され、p型ゲート領域21、n型カソード領域32およびp型アノード領域33の部分で絶縁膜61に開口が形成される。そして、逆並列ダイオード回路30の取り出し電極71、72が形成されると共に、J-FET領域上にはp型ゲート領域21に接続された下側電極11が、例えばアルミニウムやニッケルクロム合金などで形成されている。下側電極11上には焦電効果材料層12が形成され、その上にはニッケルクロム合金や金黒からなる上側電極13が形成される。そして、絶縁膜61上的一部分は、S1O<sub>2</sub>（S1Nなどでも良い）からなる別の絶縁膜62で被覆されている。

【0013】上記構成の赤外線検出装置では、焦電効果材料層12は有機材料をスピンドルコートすることで形成させる。そして、これに焦電効果を呈し得るようにするためにには、いわゆるボーリングが必要になるが、これは図2の装置が完成された後に行われる。

【0014】図3は図2に示す赤外線検出装置の変形例を示している。これが図2と比べて異なる点は、n型シリコン基板40およびn型シリコン層41が、裏面からのエッチングにより除去され、焦電素子10の形成領域で薄くされていることである。

【0015】このようにすれば、焦電素子10からn型シリコン基板40およびn型シリコン層41への放熱を少なくできるので、より高感度な赤外線検出が可能になる。

【0016】図4は別の実施例の回路図である。図示の通り、インピーダンス変換用のJ-FET1のソースには、電流源となる別のJ-FET2のドレインが接続される。

【0017】そして、J-FET2のドレインには電源端子C3が接続され、ゲートには電流制御用の電圧V<sub>b</sub>が印加される。この回路では、出力信号OUTはJ-F

4

E T 1のソース電極から取り出される。この回路によれば、赤外線センサと電流源を一体化できるので、より一層扱いやすくなることができる。

【0018】

【発明の効果】以上、詳細に説明した通り、本発明の赤外線検出装置によれば、逆並列に接続されたダイオードを有しているので、ボーリング時の高電圧に対しては低抵抗として働き、従ってインピーダンス変換素子に過大な負荷を与えることなく焦電素子をボーリングでき、また、センサとしての使用時における低電圧に対しては高抵抗として働き、従って焦電素子の出力インピーダンス変換を可能にする。このため、焦電型のセンサ部とインピーダンス変換用のJ-FETおよび抵抗等を、ワンチップ化することが可能になる。以上説明してきた様に、同様の効果を得るためにもちろんMOS-FETを用いても良い事は明らかである。

【図面の簡単な説明】

【図1】本発明の実施例に係る赤外線検出装置の構成を示す図である。

20 【図2】図1に示す実施例の具体例を説明する図である。

【図3】図2に示す赤外線検出装置の変形例を示す図である。

【図4】本発明の別の実施例に係る赤外線検出装置の回路図である。

【符号の説明】

10 …焦電素子

11 …下側電極

12 …焦電効果材料層

30 13 …上側電極

21 …p型ゲート領域

22 …n型ソース領域

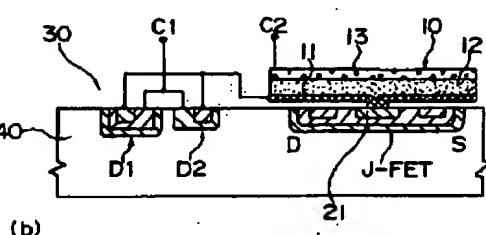
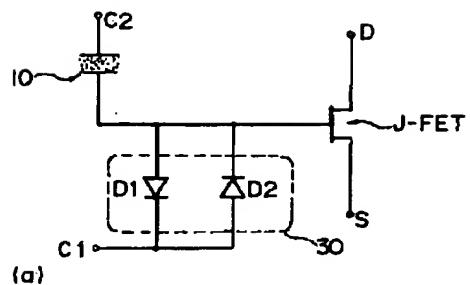
23 …n型ドレイン領域

30 …逆並列ダイオード回路

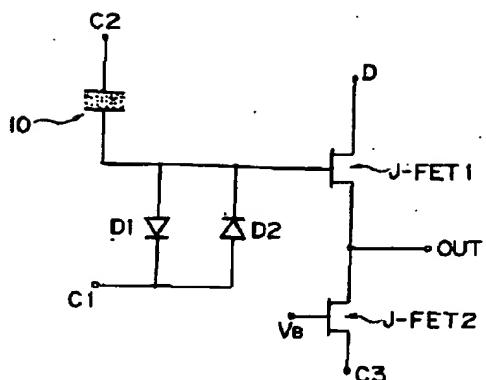
31 …ダイオード用のp型領域

J-FET, J-FET1…インピーダンス変換用の接合型トランジスタ

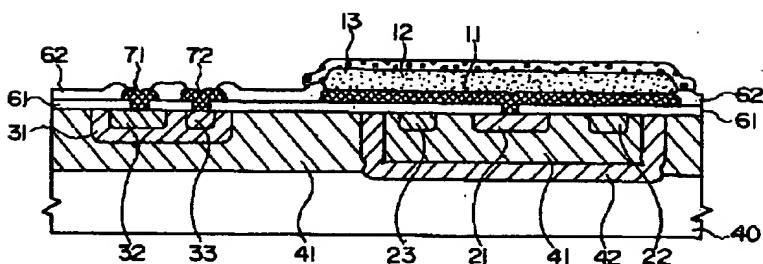
【図1】



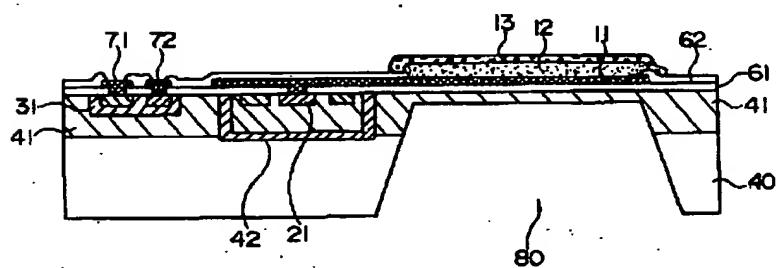
【図4】



【図2】



【図3】



## (54) INFRARED RAY DETECTION APPARATUS

(11) 4-357890 (A) (43) 10.12.1992 (19) JP

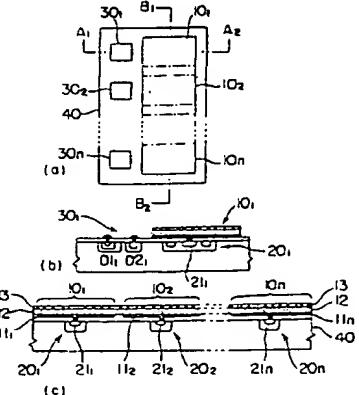
(21) Appl. No. 3-132741 (22) 4.6.1991

(71) HAMAMATSU PHOTONICS K.K. (72) KATSUMI SHIBAYAMA

(51) Int. Cl. H01L49/00

**PURPOSE:** To operate a sensor, J-FET for impedance conversion and resistors, etc., with a single action by forming a plurality of detection units on a semiconductor substrate and providing a switch element for each detection unit.

**CONSTITUTION:** Since a voltage higher than a level shift voltage of diodes D1, D2 is applied to all inversely paralleled diode circuits 30<sub>1</sub> to 30<sub>n</sub> on the occasion of poling a pyroelectric effect material layer 12, these circuits equivalently work as low resistance elements. Therefore, an excessive voltage is never applied to the gates of J-FETs 20<sub>1</sub> to 20<sub>n</sub>. During use as an infrared ray sensor, a voltage lower than the level shift voltage of diodes D1, D2 is applied to respective inversely paralleled diode circuits 30<sub>1</sub> to 30<sub>n</sub>. Accordingly, the inversely paralleled diode circuit 30 equivalently works as an element having sufficiently high resistance value and impedance conversion by J-FETs 20<sub>1</sub> to 20<sub>n</sub> is conducted suitably.



## (54) INFRARED RAY DETECTING APPARATUS

(11) 4-357891 (A) (43) 10.12.1992 (19) JP

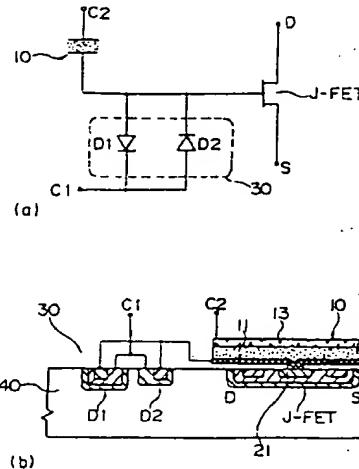
(21) Appl. No. 3-132743 (22) 4.6.1991

(71) HAMAMATSU PHOTONICS K.K. (72) KATSUMI SHIBAYAMA

(51) Int. Cl. H01L49/00

**PURPOSE:** To enable poling of pyroelectric element, without giving an excessive load to an impedance conversion element, by providing a pyroelectric element formed between a lower electrode and an upper electrode and at least two diodes which are formed on a semiconductor substrate and inversely paralleled in connection with the lower electrode.

**CONSTITUTION:** A lower electrode 11 of a pyroelectric element 10 is connected to a gate 21 of a junction type FET (J-FET) as an impedance conversion element. Moreover, an anode and a cathode of the inversely paralleled diodes D1, D2 are also connected. This inversely paralleled diode circuit 30 is formed on the same substrate as the semiconductor substrate 40 forming J-FET. A pyroelectric effect material layer 12 consisting of an organic material, for example, is deposited on the lower electrode 11 and the upper electrode 13 consisting of an infrared absorbing material is formed on the upper surface thereof and thereby a pyroelectric element 10 is formed. Accordingly, poling of pyroelectric element 10 can be realized without giving an excessive load on the impedance conversion element.



## (54) MODE SYNCHRONOUS OPTICAL FIBER LASER APPARATUS

(11) 4-357892 (A) (43) 10.12.1992 (19) JP

(21) Appl. No. 3-133075 (22) 4.6.1991

(71) NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(72) MASATOSHI SARUWATARI(1)

(51) Int. Cl. H01S3/098, G02F1/35, H01S3/07, H01S3/0915

**PURPOSE:** To realize reduction in size, simplification and matching with optical fiber.

**CONSTITUTION:** An optical fiber amplifier 1 shows normal dispersion with an oscillation wavelength to generate an optical pulse having a large BS chirp. This optical pulse is then compressed to the chirpless, pulse in an optical fiber compressor 3 and is then extracted from an output port of an optical coupler 4. Width of optical pulse may be changed by an optical power in a resonator depending on exciting beam power, abnormal dispersion value and length of the optical fiber compressor 3.

